



TITLE:

Performance Modeling and On-Chip Memory Structures for Minimum Energy Operation in Voltage-Scaled LSI Circuits(Abstract_要旨)

AUTHOR(S):

Shiomi, Jun

CITATION:

Shiomi, Jun. Performance Modeling and On-Chip Memory Structures for Minimum Energy Operation in Voltage-Scaled LSI Circuits. 京都大学, 2017, 博士(情報学)

ISSUE DATE:

2017-11-24

URL:

<https://doi.org/10.14989/doctor.k20778>

RIGHT:

Cited from;; Jun Shiomi, Tohru Ishihara, and Hidetoshi Onodera, "A Necessary and Sufficient Condition of Supply and Threshold Voltages in CMOS Circuits for Minimum Energy Point Operation, " IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E100-A, no. 12, pp. (TBD), Dec. 2017 (to appear). (©2017 IEICE); Jun Shiomi, Tohru Ishihara, and Hidetoshi Onodera, "Area-Efficient Fully Digital Memory Using Minimum Height Standard Cells for Near-Threshold Voltage Computing, " Integration, the VLSI Journal, Elsevier, 2017, in press <http://dx.doi.org/10.1016/j.vlsi.2017.07.001> (©2017 Elsevier); Jun Shiomi, Tohru Ishihara, and Hidetoshi Onodera, "Statistical Timing Modeling Based on a Lognormal Distribution Model for Near-Threshold Circuit Optimization, " IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E9 ...

(続紙 1)

京都大学	博士（情報学）	氏名	塩見 準
論文題目	Performance Modeling and On-Chip Memory Structures for Minimum Energy Operation in Voltage-Scaled LSI Circuits (低電圧集積回路の消費エネルギー最小化のための解析的性能予測とオンチップメモリ構造)		
<p>(論文内容の要旨)</p> <p>集積回路の着実な微細化とそれに伴う回路の大規模化により、集積回路が消費するエネルギーの増大が深刻な問題となっている。本研究は、集積回路の低電圧動作による消費エネルギーの最小化を目的として、低電圧回路における性能ばらつきのモデル化を行い、開発したモデルに基づいて消費エネルギーが少なく所定の歩留まりと動作速度を達成することが可能なオンチップメモリの構造を明らかにし、組み込みプロセッサへの実装と動作特性の評価を行ったものである。更に、プロセッサが実行するアプリケーションに応じて電源電圧としきい値電圧を動的に調節する方式を開発し、計算負荷に応じて集積回路を最小の消費エネルギーで動作させるための方式について検討しており、6章から成っている。</p> <p>第1章は序論であり、研究背景について述べている。その後、本研究の目的および概要について述べている。</p> <p>第2章では、本研究の成果を明確にするため、低電圧回路の設計技術に関連する既存研究の調査結果を説明している。</p> <p>第3章では、ゲート寸法最適化、並列化、パイプライン化を含む回路アーキテクチャ設計階層における設計戦略に関して議論している。定格電圧で動作する論理ゲート単体の遅延が製造時のばらつきにより正規分布に従ってばらつく一方で、低電圧領域では遅延が対数正規分布に従いばらつく。本研究では、正規分布および対数正規分布の和を求める演算と最大値を求める演算を閉形式関数で記述することで、定格電圧領域および極低電圧領域それぞれにおける集積回路の性能予測モデルを構築している。構築したモデルに基づき、集積回路の動作電圧に応じて回路アーキテクチャの設計戦略が異なることを明らかにし、所定の歩留まりを確保しつつ消費エネルギーが少なく高速に動作するアーキテクチャについて議論している。</p> <p>第4章では極低電圧動作に適したオンチップメモリの構造に関して議論している。オンチップメモリは極低電圧動作に対して最も脆弱な素子の1つである。オンチップメモリとして一般的に使用される6トランジスタ型スタティックRAM（SRAM）の代替としてスタンダードセルメモリ（SCM: Standard-Cell Memory）が提案されている。SCMはデジタル論理素子のみで構成されるため、極低電圧領域での安定動作を保証することができる一方で、SRAMと比較して大きなレイアウト面積を必要とする点に欠点があった。本研究では、面積効率とエネルギー効率の双方に優れたSCMの回路構成法を提案している。最小の高さのスタンダードセルを新たに開発して面積効率を改善し、動作時に活性化する回路部分を削減した回路構造によりエネルギー効率を向上させている。商用65-nmプロセスを想定した実験により、開発したSCMは既存のSCMと比較して20%の面積削減に成功し、既存のSRAMと比較して31%の消費エネルギー削減を実現している。</p> <p>第5章では、チップ製造後の電圧制御技術として、実行アプリケーションや稼働状況に応じた集積回路の電源電圧としきい値電圧の動的制御技術に関して議論している。与えられた要求クロック周波数の下、消費エネルギーを最小にする動作電圧としきい値電圧の組を導出する方法について、定格電圧から極低電圧領域までの幅広い動作電圧領域を対象として検討している。また、導出した電源電圧としきい値電圧が、エネルギー最小の動作をするための必要十分条件となっていることを示している。商用65nmプロセスで設計されたマイクロプロセッサの実測に基づき、導出した必要十分</p>			

条件について検証している。更に、電源電圧のみを要求クロック周波数に応じて動的に調節する既存技術と比較し、電源電圧としきい値電圧の双方を動的に調節することにより、最大で44 % の消費エネルギーを削減可能であることを実験的に示している。

第6章では、本研究で得られた結果を総括的にまとめている。組み込みプロセッサを例に、本研究で得られたすべての技術を組み合わせることにより、既存技術で組み込みプロセッサを設計した場合と比較して最大53%消費エネルギーを削減可能であることを述べている。

注) 論文内容の要旨と論文審査の結果の要旨は1頁を38字×36行で作成し、合わせて、3,000字を標準とすること。

論文内容の要旨を英語で記入する場合は、400～1,100 wordsで作成し
審査結果の要旨は日本語500～2,000字程度で作成すること。

(論文審査の結果の要旨)

本論文は、集積回路を低電圧で動作させた場合に問題となる性能のばらつきをモデル化し、提案モデルに基づいて消費エネルギーが少なく高速に動作するオンチップメモリの構成法を示している。さらに、必要とされるクロック周波数に応じて、集積回路の電源電圧としきい値電圧を動的に調節する方式を検討し、実行するアプリケーションを常に最小の消費エネルギーで実行する電源電圧としきい値電圧の制御技術を提案し、実際の組み込みプロセッサに適用してその有効性を実証している。本論文で得られた成果は以下の通りである。

1. 対数正規分布の和および最大値を精度良く近似する分布関数を閉形式関数で導出し、極低電圧領域で動作する集積回路の性能ばらつきを定式化した。導出した動作遅延モデルにより、集積回路のパイプライン化やオンチップメモリの読出し回路を対象として、所定の歩留まりを確保しつつ動作速度を改善する低電圧動作向けの回路構造を明らかにした。
2. 最小のレイアウト高さをもつスタンダードセルライブラリを開発し、このライブラリを用いたスタンダードセル型オンチップメモリの実装方法を示した。本方法により、通常の6トランジスタ型スタティックRAM (SRAM)と比較した場合に過大となる面積の割合を、最大で20%削減した。
3. スタンダードセル型オンチップメモリの活性化率を減少させる書き込み並びに読出し回路構造を提案し、メモリの動的な消費エネルギーを削減した。通常のSRAMと比較して、消費エネルギーを31%削減できる事を示した。
4. スタンダードセル型オンチップメモ리를組み込みプロセッサへ実装することで、0.3 Vの電源電圧でもプロセッサが安定動作することを実証した。この結果、幅広い要求動作性能に対して、プロセッサを最小消費エネルギーで動作させることが可能となった。
5. 集積回路が最小消費エネルギーで動作するための必要十分条件を明らかにした。更に、試作した組み込みプロセッサを用いて、幅広い要求動作速度に対して最小の消費エネルギーでの動作が可能であることを実験的に検証した。要求動作速度に応じて電源電圧のみ調節する従来の電圧制御手法と比べ、動作速度を悪化させることなく最大44%消費エネルギーを削減可能であることを示し、電源電圧としきい値電圧の同時調節による消費エネルギー削減の有効性を実証した。

以上、本論文は幅広い電源電圧において最小エネルギーで動作可能な集積回路を実現するための諸問題に関し、回路特性の評価技術やオンチップメモリの構成方法ならびに回路動作環境の動的調節などの解決方法を提案するとともに、実際の組み込みプロセッサの設計に適用してその有効性を実証している。本論文の内容は、学術上、応用上ともに寄与するところが少なくない。よって本論文は博士(情報学)の学位論文として価値あるものとして認める。また平成29年10月16日に実施した論文内容とそれに関連した試問の結果、合格と認めた。

注) 論文審査の結果の要旨の結句には、学位論文の審査についての認定を明記すること。
更に、試問の結果の要旨(例えば「平成 年 月 日論文内容とそれに関連した口頭試問を行った結果合格と認めた。」)を付け加えること。

Webでの即日公開を希望しない場合は、以下に公開可能とする日付を記入すること。
要旨公開可能日： 年 月 日以降